

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U) 平2-36215

⑬ Int. Cl.

H 03 C 3/00

識別記号

B

庁内整理番号

7922-5J

⑭ 公開 平成2年(1990)3月8日

審査請求 未請求 請求項の数 1 (全2頁)

⑮ 考案の名称 直接変調方式シンセサイザ

⑯ 実 願 昭63-114955

⑰ 出 願 昭63(1988)9月2日

⑱ 考 案 者 宮 川 昭 久 東京都小平市御幸町32番地 日立電子株式会社小金井工場内

⑲ 出 願 人 日立電子株式会社 東京都千代田区神田須田町1丁目23番2号

⑳ 代 理 人 弁理士 小川 勝男

㉑ 実用新案登録請求の範囲

基準信号発生器、位相比較器、ループフィルタ、電圧制御発振器及び該電圧制御発振器の信号を分周する可変分周器により位相同期ループ回路を構成し、前記ループフィルタより出力する制御信号により、前記電圧制御発振器の発振周波数を制御するとともに、該電圧制御発振器の変調端子に変調信号を入力して、その電圧制御発振器より変調波を出力する直接変調方式のシンセサイザにおいて、前記ループフィルタから出力する制御信号により、前記電圧制御発振器の変調端子に入力する変調信号のレベルを可変して、その制御信号の電圧値に対応する前記電圧制御発振器の変調感度と利得の積が一定となるように、利得可変回路と、該利得可変回路の利得の変化を調整する調整

回路を設けたことを特徴とする直接変調方式シンセサイザ。

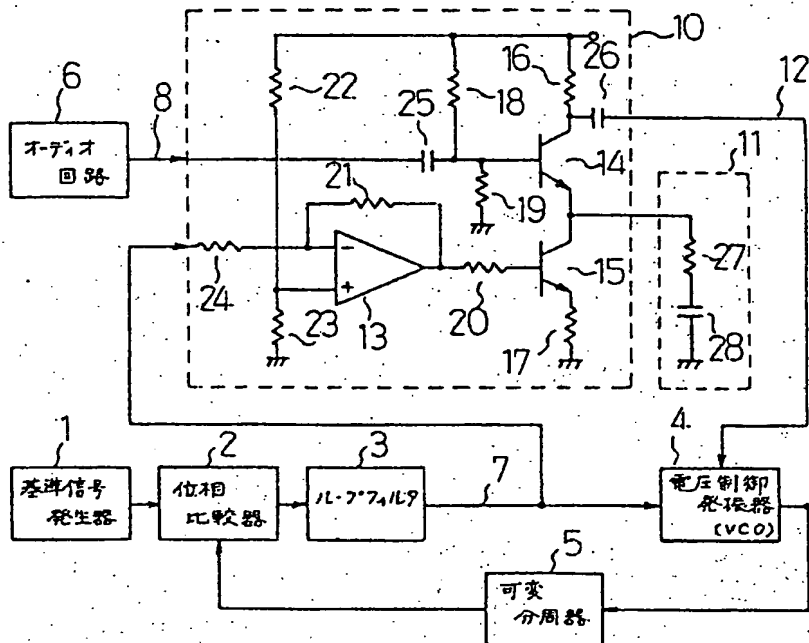
図面の簡単な説明

第1図は本考案の一実施例を示すブロック図、第2図は利得可変回路の利得特性を示す図、第3図は、従来の直接変調方式シンセサイザの一例を示すブロック図、第4図はVC0の回路例を示す構成図、第5図は同じくVC0の制御電圧対変調感度特性を示す図である。

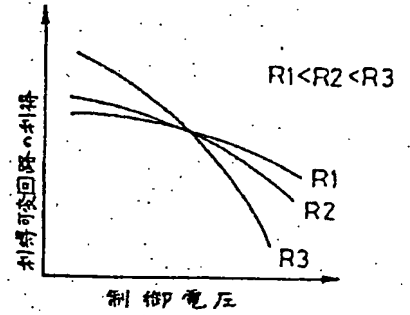
1……基準信号発生器、2……位相比較器、3……ループフィルタ、4……電圧制御発振器(VC0)、5……可変分周器、6……オーディオ回路、10……利得可変回路、11……利得変化率調整回路、7……制御電圧、8……変調信号、12……レベル制御された変調信号。

BEST AVAILABLE COPY

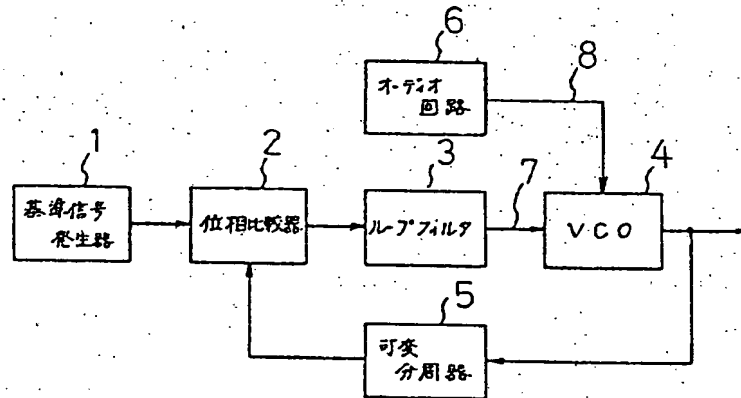
第1図



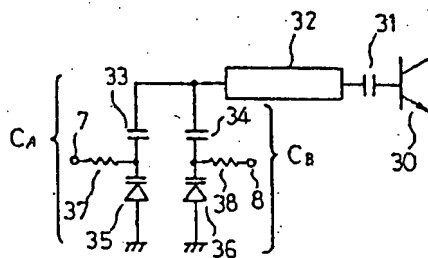
第2図



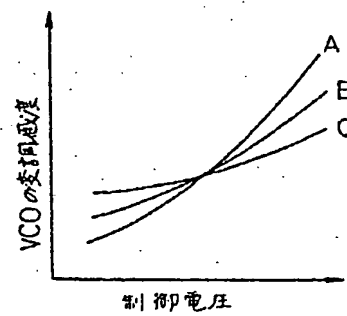
第3図



第4図



第5図



公開実用平成 2-36215

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U) 平2-36215

⑬ Int. Cl.³

H 03 C 3/00

識別記号

B

庁内整理番号

7922-5J

⑭ 公開 平成2年(1990)3月8日

審査請求 未請求 請求項の数 1 (全 頁)

⑮ 考案の名称 直接変調方式シンセサイザ

⑯ 実 願 昭63-114955

⑰ 出 願 昭63(1988)9月2日

⑱ 考 案 者 宮 川 昭 久

東京都小平市御幸町32番地 日立電子株式会社小金井工場
内

⑲ 出 願 人 日立電子株式会社

東京都千代田区神田須田町1丁目23番2号

⑳ 代 理 人 弁理士 小川 勝男

明 細 書

1. 考案の名称

直接変調方式シンセサイザ

2. 実用新案登録請求の範囲

1. 基準信号発生器、位相比較器、ループフィルタ、電圧制御発振器及び該電圧制御発振器の信号を分周する可変分周器により位相同期ループ回路を構成し、前記ループフィルタより出力する制御信号により、前記電圧制御発振器の発振周波数を制御するとともに、該電圧制御発振器の変調端子に変調信号を入力して、その電圧制御発振器より変調波を出力する直接変調方式のシンセサイザにおいて、前記ループフィルタから出力する制御信号により、前記電圧制御発振器の変調端子に入^カ入する変調信号のレベルを可変して、その制御信号の電圧値に対応する前記電圧制御発振器の変調感度と利得の積が一定となるように、利得可変回路と、該利得可変回路の利得の変化を調整する調整回路を設けたこと

を特徴とする直接変調方式シンセサイザ。

3. 考案の詳細な説明

〔産業上の利用分野〕

本考案は、変調可能な周波数シンセサイザに関し、特に直接変調方式のシンセサイザの改良に関するものである。

〔考案の概要〕

直接変調方式のシンセサイザにおいて、ループフィルタから出力する制御信号により、電圧制御発振器の変調端⁺に入力する変調信号のレベルを変えて、その制御信号の電圧値に対応する電圧制御発振器の変調感度と利得の積が一定となるように利得可変回路と利得可変回路の利得の変化を調整する調整回路を設けたものである。

〔従来の技術〕

従来、直接変調方式のシンセサイザは、第3図に示すように、基準信号発生器1と位相比較器2

と、ループフィルタ3と、電圧制御発振器（以下、VC 0 4）4及び該VC 0 4の信号を分周する可変分周器5から位相同期ループ（以下、PLL）回

路を構成する。そして、ループフィルタ3より出力する制御電圧7によりVC04の発振周波数を制御するとともに、そのVC04の変調端子にオーディオ回路6より出力する変調信号8を入力することにより、VC04の出力端子から周波数変調波を取り出すものとなっている。このように構成された直接変調方式のシンセサイザにおいて、用いられているVC04の回路例を第4図に示し、以下動作を説明する。

ここで、VC04は、発振用トランジスタ30と、結合コンデンサ31と、インダクタンス32と、抵抗37、38とからなり、発振用トランジスタ30には、コンデンサ31を介して、インダクタンス32が結合されている。このインダクタンス32と接地ラインとの間には、結合コンデンサ33を介して接続された発振周波数可変用の可変容量ダイオード35、及び結合コンデンサ34を介して接続された、直接変調用の可変容量ダイオード36がそれぞれ結線されている。また、発振周波数可変用の可変容量ダイオード35のカソードには、

前記ループフィルタ 3 から出力する周波数制御電圧 7 が、そして直接変調用の可変容量ダイオード 36 のカソードには、オーディオ回路 6 から出力する変調信号 8 が、それぞれ印加されている。

今、結合コンデンサ 34 と直接変調用の可変容量ダイオード 36 の容量との合成容量を C_B とすると、オーディオ回路 6 から印加される変調信号 8 による合成容量 C_B の変化分は、 ΔC_B で表わせる。一方、結合コンデンサ 33 と発振周波数制御用の可変容量ダイオード 35 の容量との合成容量を C_A とし、さらにループフィルタ 3 から印加される周波数制御電圧 7 が低い時、すなわち発振周波数が低い時の合成容量を C_{AL} 、ループフィルタ 3 から印加される周波数制御電圧 7 が高い時、すなわち発振周波数が高い時の合成容量を C_{AH} とすると、これら C_{AL} と C_{AH} の関係は

$$C_{AL} > C_{AH} \quad \dots\dots (1)$$

と表わせる。また、VC 04 の発振周波数は C_A と C_B の合成容量を C_L とすると、 $1/\sqrt{C_L}$ に比例する。すなわち、VC 04 の直接変調端子にお

ける変調感度は、合成容量 C_L と上記 ΔC_B の比の平方根に比例することになる。そこで、発振周波数制御電圧の低い時、及び高い時の $\Delta C_B / C_L$ を式で示すと、発振周波数制御電圧が低い時は、

$$\frac{\Delta C_B}{C_L} = \frac{\Delta C_B}{C_{AL} + C_B} \dots\dots\dots (2)$$

となり、発振周波数制御電圧が高い時は、

$$\frac{\Delta C_B}{C_L} = \frac{\Delta C_B}{C_{AH} + C_B} \dots\dots\dots (3)$$

となる。よって上記(1)式の関係から、上記(2)式、(3)式の関係は、

$$\frac{\Delta C_B}{C_{AL} + C_B} < \frac{\Delta C_B}{C_{AH} + C_B} \dots\dots\dots (4)$$

となる。すなわち、VC04の変調感度は、周波数を制御する制御電圧（つまり、発振周波数）により変化する。さらにVC04の周波数を制御する制御電圧による変調感度の変化の割合は、 $C_A, C_B, \Delta C_B$ の値により決定され、ループフィルタ3から印加される周波数制御電圧7の電圧範囲の差及び、部品のバラッキ等により第5図のA、B、Cで



示す例のようになる。

〔考案が解決しようとする課題〕

以上の結果から明らかなように、VCO が出力する周波数変調波の変調信号による周波数偏移は、そのVCOの発振周波数により変化してしまう。さらにその周波数偏移の変化の量は、VCOを構成する部品のバラツキ等にも依存し、一様に定まらない。すなわち、従来の構成による直接変調方式シンセサイザをFM無線機に用いた場合、発振周波数、つまり指定されたチャンネルにより周波数偏移に差が生じるという問題があり、無線機の帯域幅が広範囲になるほど重要な問題となる。さらに周波数偏移の差のバラツキ等による変化も重要な解決課題である。

本考案は以上の問題を解決するためになされたもので、その目的は、VCOの発振周波数制御電圧による変調感度の差を相殺し、かつ広帯域にわたり、これを実現し、さらに部品のバラツキ等による変調感度の差も相殺することのできる直接変調方式のシンセサイザを提供することにある。

〔課題を解決するための手段〕

本考案は、上記の目的を達成するため、周波数制御電圧に対応するVCOの変調感度と、利得の積が一定となる利得可変回路により、変調信号のレベルを可変し、VCOから出力する変調波の周波数偏移を常に一定に保つようにしたものである。さらにVCOを構成する部品のバラツキ等により、VCOの変調感度の変化の割合が変わっても、VCOの変調感度と利得の積が一定となるように利得可変回路の利得の変化を調整する調整回路により、部品のバラツキ等を相殺し、VCOから出力する変調波の周波数偏移を常に一定に保つようにしたものである。

〔作用〕

したがって、本考案においては、VCOの発振周波数を制御する制御電圧を用いてVCOに加える変調信号のレベルをVCOの変調感度に対応させて可変することにより、発振周波数及び部品のバラツキ等に関係なく周波数偏移を一定にすることが可能になる。

〔実施例〕

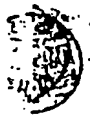
以下、本考案を図面に示す実施例に基づいて詳細に説明する。

第1図は本考案による、直接変調方式シンセサイザの一実施例を示すブロック図である。この実施例のシンセサイザは、基準信号発生器1、位相比較器2、ループフィルタ3、VC04及び可変分周器5から、PLL回路が構成されている点は第3図に示す従来例と同様である。オーディオ回路6より出力された変調信号8は、ループフィルタ3から出力される周波数制御電圧7によって、利得が可変する利得可変回路10によりレベルが制御された変調信号12となりVC04の変調端子に入力される。前記利得可変回路10の周波数制御電圧7に対する利得の変化率は利得変化率調整回路11により調整され、前記周波数制御電圧7の電圧値に対するVC04の変調感度と利得可変回路10の利得の積が一定になるように構成されている。

ここで利得可変回路10は、演算増幅器13と、

レベル可変用トランジスタ 14, 15 と抵抗 16
〜 24 と入力及び出力用コンデンサ 25, 26 とか
らなり、オーディオ回路 6 より出力される変調信
号 8 が入力用コンデンサ 25 を介してレベル可変
用トランジスタ 14 のベースに入力されている。
そして、ループフィルタ 3 から出力される周波数
制御電圧 7 は、演算増幅器 13 の反転入力に入力
されていて、この演算増幅器 13 は、周波数制御
電圧 7 とは反比例に増減する電圧を発生し、トラ
ンジスタ 15 のベースに入力する。これにより、
トランジスタ 15 のコレクタ電流は、ベース電圧
により可変されると同時に、トランジスタ 14 の
エミッタ電流を可変する。

そのため、このエミッタ電流が可変されたトラ
ンジスタ 14 は、その電圧利得が可変され、上記
変調信号 8 のレベルを可変したうえ、コンデンサ
26 を介して、VC 04 に印加する。また、利得変
化率調整回路 11 は、抵抗 27 及びコンデンサ 28
とから成り、それぞれが直列に接続され、前記利
得可変回路 10 のトランジスタ 14 のエミッタに接



続されている。抵抗 27 の値を可変することにより、トランジスタ 14 のエミッタ端子は直流的には、変化はないが、交流的には、接地抵抗が可変され、ループフィルタ 3 から出力される周波数制御電圧 7 に対するトランジスタ 14 の電圧利得の変化率が可変できる。以上のことによる、ループフィルタ 3 からの周波数制御電圧 7 に対する利得可変回路 10 の利得特性は、利得変化率調整回路 11 の抵抗 27 により第 2 図に示すようになる。 R が抵抗 27 の値である。したがって、第 5 図に示した VC 04 の変調感度の変化に対応するように、利得変化率調整回路 11 により調整された利得可変回路 10 により第 2 図に示すごとく、レベル制御された変調信号 12 を VC 04 に印加することにより、この VC 04 の発振周波数制御電圧及び、部品のバラツキ等による変調感度の差は相殺されることになる。すなわち、前述の合成容量 C_B の変化分 ΔC_B は周波数制御電圧 7 により変化し、その制御電圧の低い時を ΔC_{BL} 、制御電圧の高い時を ΔC_{BH} とすると、上記(2)、(3)式は、それぞれ、



$$\frac{\Delta C_{BL}}{C_{AL} + C_B} \dots\dots (5) \quad \frac{\Delta C_{BH}}{C_A + C_B} \dots\dots (6)$$

となる。よって、これら(5), (6)式が下記(7)式を満足するように ΔC_B の値を、利得可変回路 10 及び利得調整回路 11 により変調信号 8 のレベルを可変し、制御することにより、発振周波数制御電圧及び部品のパラツキ等による変調感度の差を相殺することができる。

$$\frac{\Delta C_{BL}}{C_{AL} + C_B} = \frac{\Delta C_{BH}}{C_{AH} + C_B} \dots\dots (7)$$

〔考案の効果〕

以上説明したように本考案によれば、VCO の発振周波数を制御する制御電圧を用いて、そのVCOに加える変調信号のレベルを可変することにより、シンセサイザのループに何ら影響を与えずに、周波数偏移を発振周波数に関係なく一定に保つことが可能となり、FM無線機等に用いて有効である。また VCO のパラツキ等に対応した、変調信号のレベル変化に調整が可能であるので、量産時のバ

ラツキを無視できる。

4. 図面の簡単な説明

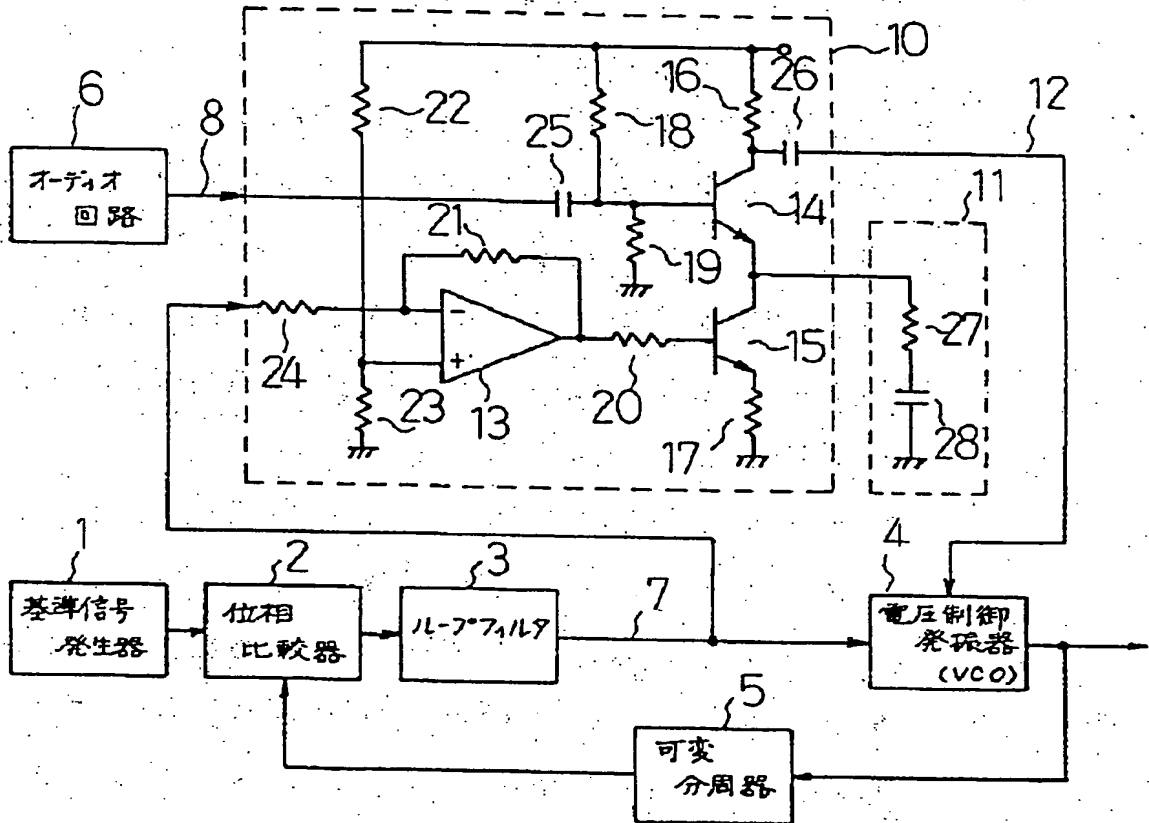
第1図は本考案の一実施例を示すブロック図、第2図は利得可変回路の利得特性を示す図、第3図は、従来の直接変調方式シンセサイザの一例を示すブロック図、第4図はVCOの回路例を示す構成図、第5図は同じくVCOの制御電圧対変調感度特性を示す図である。

1：基準信号発生器、2：位相比較器、3：ループフィルタ、4：電圧制御発振器(VCO)、5：可変分周器、6：オーディオ回路、10：利得可変回路、11：利得変化率調整回路、7：制御電圧、8：変調信号、12：レベル制御された変調信号。

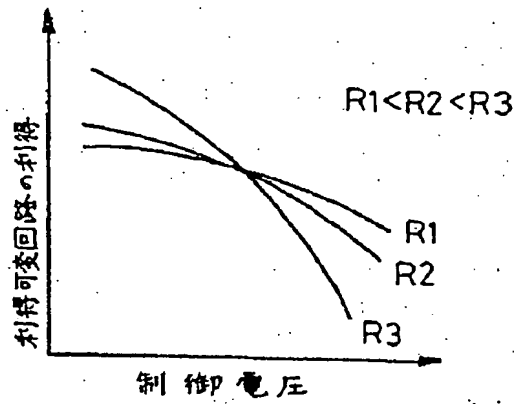
代理人 弁理士 小川勝男



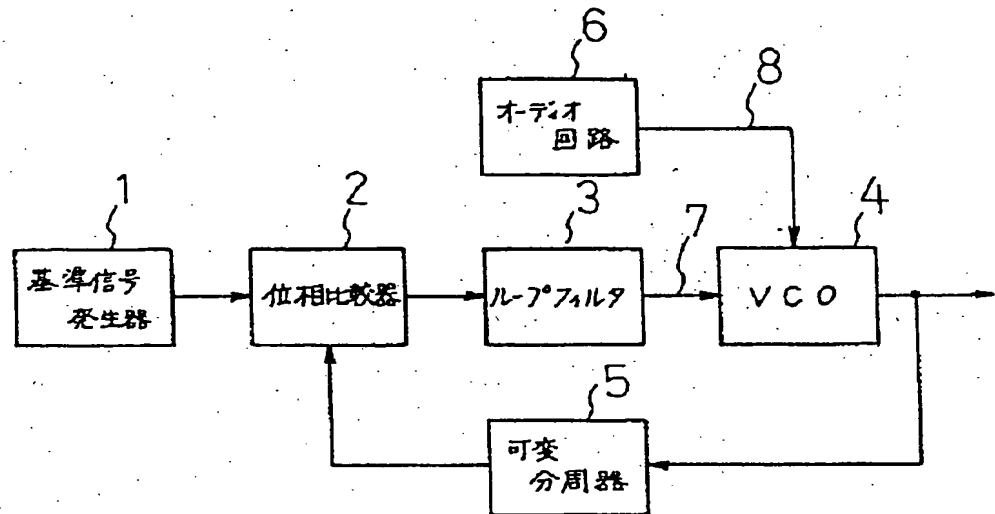
第 1 図



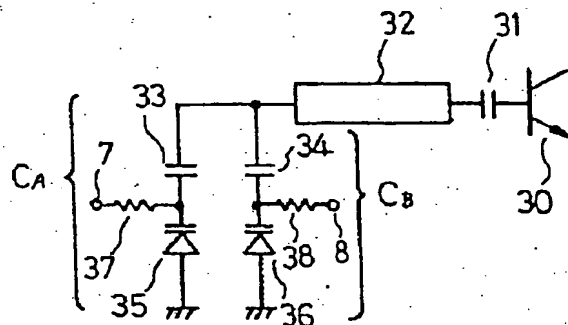
第 2 図



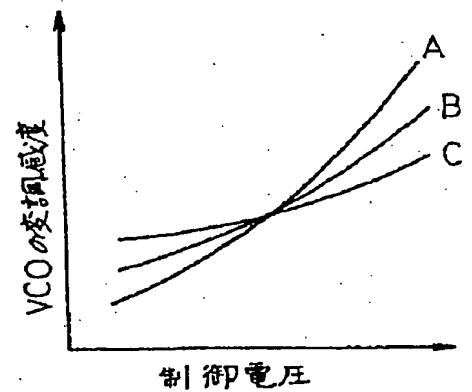
第 3 図

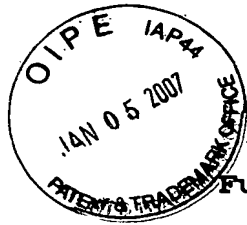


第 4 図



第 5 図





5-2

Full Translation

Japanese U.M. Application Laid-Open No. Hei 2(1990)-36215

Laid-Open Date: March 8, 1990

Title of the Invention: Synthesizer of Direct Modulation Scheme

Inventor: Akihisa Miyakawa

Applicant: Hitachi Denshi, Ltd.

Specification

1. Title of the Invention:

Synthesizer of Direct Modulation Scheme

2. Claim:

1. A synthesizer of a direct modulation scheme, comprising:

a phase-locked loop circuit comprising a reference signal generator, a phase comparator, a loop filter, a voltage-controlled oscillator, and a variable divider for dividing a signal of the voltage-controlled oscillator, said synthesizer being operated so as to control the oscillation frequency of the voltage-controlled oscillator in response to a control signal outputted from the loop filter, and input a modulated signal to a modulation terminal of the voltage-controlled oscillator and thereby output a modulated wave from the voltage-controlled oscillator;

a gain variable circuit; and
an adjustment circuit for adjusting a change in the gain of the gain variable circuit,

said gain variable circuit and said adjustment circuit being provided in such a manner that the level of the modulated signal inputted to the modulation terminal of the voltage-controlled oscillator is varied according to the control signal outputted from the loop filter to thereby hold constant the product of modulation sensitivity of the voltage-controlled oscillator and gain of the gain variable circuit with respect to a voltage value of the control signal.

3. Detailed Description of the Invention:

[Industrial Field of Application]

The present invention relates to a modulatable frequency synthesizer, and particularly to an improvement in a synthesizer of a direct modulation scheme.

[Summary of the Invention]

A synthesizer of a direct modulation scheme is equipped with a gain variable circuit and an adjustment circuit for adjusting a change in the gain of the gain variable circuit, both of which are provided in such a manner that the level of a modulated signal inputted to a modulation terminal of a voltage-controlled oscillator is varied according to a control signal outputted from a loop filter to thereby keep constant the product of modulation sensitivity of the voltage-controlled

oscillator and gain with respect to a voltage value of the control signal.

[Prior Art]

In a synthesizer of a direct modulation scheme, a phase-locked loop (hereinafter called PLL) circuit has heretofore been made up of a reference signal generator 1, a phase comparator 2, a loop filter 3, a voltage-controlled oscillator (hereinafter called VCO) 4, and a variable divider 5 for dividing a signal outputted from the VCO 4 as shown in Fig. 3. Further, an oscillation frequency of the VCO 4 is controlled based on a control voltage 7 outputted from the loop filter 3, and a modulated signal 8 outputted from an audio circuit 6 is inputted to a modulation terminal of the VCO 4, whereby a frequency-modulated wave is taken out of an output terminal of the VCO 4. A circuit example of the VCO 4, which has been employed in the synthesizer of the direct modulation scheme configured in this way, is shown in Fig. 4, and the operation thereof will be described below.

Here, the VCO 4 comprises an oscillating transistor 30, a coupling condenser 31, an inductance 32, and resistors 37 and 38. The inductance 32 is coupled to the oscillating transistor 30 through the condenser 31. An oscillation frequency controllable variable capacitance diode 35 connected via a coupling condenser 33, and a direct-modulating variable capacitance diode 36 connected via a coupling condenser 34 are respectively wire-

connected between the inductance 32 and a ground line. A frequency control voltage 7 outputted from the loop filter 3, and a modulated signal 8 outputted from the audio circuit 6 are respectively applied to the cathode of the oscillation frequency controllable variable capacitance diode 35 and the cathode of the direct-modulating variable capacitance diode 36.

Assuming now that the capacitance corresponding to the sum of the capacitance of the coupling condenser 34 and the capacitance of the direct-modulating variable capacitance diode 36 is C_B , a change in the total capacitance C_B due to the modulated signal 8 applied from the audio circuit 6 can be represented as ΔC_B . On the other hand, let's assume that the total capacitance of the coupling condenser 33 and the oscillation frequency controllable variable capacitance diode 35 is C_A , and the total capacitance thereof obtained when the frequency control voltage 7 applied from the loop filter 3 is low, i.e., the oscillation frequency is low, is C_{AL} , and the total capacitance thereof obtained when the frequency control voltage 7 applied from the loop filter 3 is high, i.e., the oscillation frequency is high, is C_{AH} , the relationship between these C_{AL} and C_{AH} can be expressed as follows:

$$C_{AL} > C_{AH} \quad \dots\dots\dots (1)$$

Also assuming that the total capacitance of C_A and C_B is C_L , the oscillation frequency of the VCO 4 is proportional

to $1/\sqrt{C_L}$. Namely, modulation sensitivity at the direct modulation terminal of the VCO 4 is proportional to a square root of a ratio between the total capacitance C_L and above ΔC_B . Thus, $\Delta C_B/C_L$ at the time that the oscillation frequency control voltage is low and high, will therefore be expressed by the following equations. When the oscillation frequency control voltage is low, $\Delta C_B/C_L$ is given as follows:

$$\Delta C_B/C_L = \Delta C_B/C_{AL} + C_B \quad \dots\dots\dots (2)$$

When the oscillation frequency control voltage is high, $\Delta C_B/C_L$ is given as follows:

$$\Delta C_B/C_L = \Delta C_B/C_{AH} + C_B \quad \dots\dots\dots (3)$$

Thus, the relationship between the equations (2) and (3) is expressed in the following manner from the relation of the above equation (1):

$$\Delta C_B/C_{AL} + C_B < \Delta C_B/C_{AH} + C_B \quad \dots\dots\dots (4)$$

Namely, the modulation sensitivity of the VCO 4 changes according to the control voltage (i.e., oscillation frequency) for controlling the frequency. Further, the rate of change in the modulation sensitivity due to the control voltage for controlling the frequency of the VCO 4 is determined by the values of C_A , C_B and ΔC_B and illustrated as indicated by A, B and C of Fig. 5 due to the difference in voltage range of the frequency control voltage 7 applied from the loop filter 3 and variations in parts, etc.

[Problems that the Invention is to Solve]

As is apparent from the above result, a frequency shift due to a modulated signal of a frequency-modulated wave outputted from a VCO changes according to an oscillation frequency of the VCO. Further, the amount of change in the frequency shift depends even on variations in parts constituting the VCO and is not fixed uniformly. Namely, when the synthesizer of direct modulation scheme having the conventional configuration is used in an FM wireless device, a problem arises in that a difference occurs in the frequency shift due to the oscillation frequency, i.e., a specified channel. This becomes an important problem as the bandwidth of the wireless device becomes widespread. Further, a change due to variations in the difference in frequency shift also becomes an important problem to be solved.

The present invention has been made to solve the foregoing problems. An object of the present invention is to provide a synthesizer of a direct modulation scheme, which is capable of canceling out a difference in modulation sensitivity due to an oscillation frequency control voltage of a VCO and realizing it over a wide range, and also canceling out a difference in modulation sensitivity due to part variations or the like.

[Means for Solving the Problems]

In order to achieve the above object, the present invention is provided wherein a gain variable circuit used so as to hold constant the product of modulation

sensitivity of a VCO and gain with respect to a frequency control voltage is configured so as to vary the level of a modulated signal and thereby always keep constant a frequency shift of a modulated wave outputted from the VCO. Further, an adjustment circuit for adjusting a change in the gain of the gain variable circuit so as to keep constant the product of modulation sensitivity of the VCO and gain even if the rate of change in the modulation sensitivity of the VCO changes due to variations in parts constituting the VCO, etc., is configured so as to cancel out the variations in the parts, etc. and always keep constant the frequency shift of the modulated wave outputted from the VCO.

[Effects]

Accordingly, the present invention makes it possible to vary the level of a modulated signal applied to a VCO in response to modulation sensitivity of the VCO through the use of a control voltage for controlling an oscillation frequency of the VCO to thereby hold constant a frequency shift regardless of the oscillation frequency and variations in parts, etc.

[Embodiment]

The present invention will hereinafter be described in detail based on an embodiment illustrated in the drawings.

Fig. 1 is a block diagram showing one embodiment of a synthesizer of a direct modulation scheme, according to

the present invention. The synthesizer according to the present embodiment is similar to the conventional example shown in Fig. 3 in that a PLL circuit comprises a reference signal generator 1, a phase comparator 2, a loop filter 3, a VCO 4 and a variable divider 5. A modulated signal 8 outputted from an audio circuit 6 results in a modulated signal 12 whose level is controlled by a gain variation-executing gain variable circuit 10 based on a frequency control voltage 7 outputted from a loop filter 3, followed by input to a modulation terminal of the VCO 4. The rate of change in gain of the gain variable circuit 10 with respect to the frequency control voltage 7 is adjusted by a gain change-rate adjustment circuit 11, and the product of modulation sensitivity of the VCO 4 and the gain of the gain variable circuit 10 with respect to the voltage value of the frequency control voltage 7 is formed so as to become constant.

Here, the gain variable circuit 10 comprises an operational amplifier 13, level variable transistors 14 and 15, resistors 16 through 24, and input and output condensers 25 and 26. The modulated signal 8 outputted from the audio circuit 6 is inputted to its corresponding base of the level variable transistor 14 through the input condenser 25. Further, the frequency control voltage 7 outputted from the loop filter 3 is inputted to an inverse input of the operational amplifier 13. The

operational amplifier 13 generates a voltage which increases and decreases in inverse proportion to the frequency control voltage 7, and inputs it to its corresponding base of the transistor 15. Consequently, a collector current of the transistor 15 is varied by its base voltage and varies an emitter current of the transistor 14 simultaneously with its variation.

Therefore, the transistor 14 whose emitter current has been varied, changes in its voltage gain, and varies the level of the modulated signal 8 and applies it to the VCO 4 through the condenser 26. The gain change-rate adjustment circuit 11 comprises a resistor 27 and a condenser 28, which are respectively connected in series and connected to the emitter of the transistor 14 of the gain variable circuit 10. By varying the value of the resistor 27, an emitter terminal of the transistor 14 remains unchanged on a dc basis but changes in ground resistance on an ac basis, so that the rate of change in the voltage gain of the transistor 14 with respect to the frequency control voltage 7 outputted from the loop filter 3 can be varied. Owing to the above, the gain characteristics of the gain variable circuit 10 with respect to the frequency control voltage 7 outputted from the loop filter 3 are represented as shown in Fig. 2 according to the resistor 27 of the gain change-rate adjustment circuit 11. R indicates the value of the resistor 27. Thus, the modulated signal 12 level-

controlled as shown in Fig. 2 by the gain variable circuit 10 controlled by the gain change-rate adjustment circuit 11 so as to adapt to changes in modulation sensitivity of the VCO 4, which are shown in Fig. 5, is applied to the VCO 4 so that the difference in modulation sensitivity due to the oscillation frequency control voltage of the VCO 4 and variations in parts, etc. is canceled out. Namely, assuming that the aforementioned change ΔC_B in the total capacitance C_B varies according to the frequency control voltage 7, and the change ΔC_B is taken as ΔC_{BL} when the frequency control voltage is low and the change ΔC_B is taken as ΔC_{BH} when the frequency control voltage is high, the above equations (2) and (3) are respectively rewritten as follows:

$$\Delta C_{BL}/C_{AL}+C_B \dots\dots (5) \quad \Delta C_{BH}/C_A+C_B \dots\dots (6)$$

Thus, the values of ΔC_B can be canceled out so that these equations (5) and (6) meet the following equation (7), i.e., the difference in modulation sensitivity due to the oscillation frequency control voltage and the variations in parts, etc. can be canceled out by varying and controlling the level of the modulated signal 8 by means of the gain variable circuit 10 and the gain adjustment circuit 11.

$$\Delta C_{BL}/C_{AL}+C_B = \Delta C_{BH}/C_{AH}+C_B \dots\dots\dots (7)$$

[Advantage of the Invention]

According to the present invention as described above, the level of a modulated signal applied to a VCO

is varied using a control voltage for controlling an oscillation frequency of the VCO, thereby making it possible to keep a frequency shift constant regardless of the oscillation frequency without exerting any influence on a loop of a synthesizer. Thus, the present invention is effective for use in an FM wireless device or the like. Since it is possible to make adjustments to a change in the level of the modulated signal, which adapt to variations in VCO, etc., variations at mass production can be neglected.

4. Brief Description of the Drawings:

Fig. 1 is a block diagram showing one embodiment of the present invention; Fig. 2 is a diagram showing gain characteristics of a gain variable circuit; Fig. 3 is a block diagram showing one example of a conventional synthesizer of a direct modulation scheme; Fig. 4 is a configuration diagram illustrating a circuit example of a VCO; and Fig. 5 is a diagram showing control voltage vs modulation sensitivity characteristics of the VCO in the same manner.

1 : reference signal generator, 2 : phase comparator, 3 : loop filter, 4 : voltage-controlled oscillator (VCO), 5 : variable divider, 6 : audio circuit, 10 : gain variable circuit, 11 : gain change-rate adjustment circuit, 7 : control voltage, 8 : modulated signal, 12 : level-controlled modulated signal.

Agent; Katsuo Ogawa, Patent Attorney

[Figure 1]

1 ... reference signal generator, 2 ... phase
comparator, 3 ... loop filter, 4 ... voltage-controlled
oscillator, 5 ... variable divider, 6 ... audio circuit

[Figure 2]

gain of gain variable circuit

control voltage

[Figure 3]

1 ... reference signal generator, 2 ... phase
comparator, 3 ... loop filter, 5 ... variable divider,
6 ... audio circuit

[Figure 5]

modulation sensitivity of VCO

control voltage

* * * * *

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.